

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/360

In re patent application of

In-kyeong YOO, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: MEMORY DEVICE HAVING A TRANSISTOR AND ONE RESISTANT ELEMENT
AS A STORING MEANS AND METHOD FOR DRIVING THE MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-39988, filed July 10, 2002.

Respectfully submitted,

June 25, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

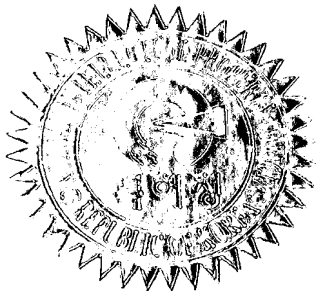
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 39988 호
Application Number PATENT-2002-0039988

출원년월일 : 2002년 07월 10일
Date of Application JUL 10, 2002

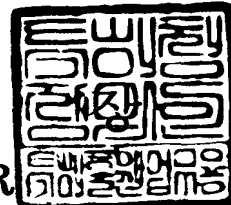
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 08 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.10
【국제특허분류】	H01L
【발명의 명칭】	한 개의 트랜지스터와 데이터 저장 수단으로 한 개의 저항체를구비하는 메모리 소자 및 그 구동 방법
【발명의 영문명칭】	Memory device having one transistor and one resistant material as data storing means and method of driving the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	유인경
【성명의 영문표기】	Y00, In Kyeong
【주민등록번호】	530116-1042213
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 두산아파트 805동 505호
【국적】	KR
【발명자】	
【성명의 국문표기】	서순애
【성명의 영문표기】	SEO, Sun Ae
【주민등록번호】	690828-2951012

【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 산4-1번지 서울대학교 가족생활 동 932-301
【국적】	KR
【발명자】	
【성명의 국문표기】	김현조
【성명의 영문표기】	KIM,Hyun Jo
【주민등록번호】	700527-1095413
【우편번호】	151-057
【주소】	서울특별시 관악구 봉천7동 산4-1 서울대가족생활동 932-301
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 이영 필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	16 면 16,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	45,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

한 개의 트랜지스터와 데이터 저장 수단으로써 한 개의 저항체를 구비하는 메모리 소자 및 그 구동 방법에 관해 개시되어 있다. 여기서, 본 발명은 반도체 기판에 형성된 NPN형 트랜지스터, 상기 트랜지스터의 소오스 영역과 도전성 플러그를 통해 연결되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체 및 상기 저항체와 접촉된 도전성 플레이트를 구비하는 것을 특징으로 하는 메모리 소자 및 그 구동 방법을 제공한다. 개시된 본 발명을 이용하면, 메모리 셀의 구조가 단순하기 때문에 메모리 소자의 집적도를 높일 수 있고, 제조 공정을 단순화 할 수 있으며, 리프레쉬 주기(refresh period)를 길게 하여 메모리 소자의 전력 소모를 줄일 수 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

한 개의 트랜지스터와 데이터 저장 수단으로 한 개의 저항체를 구비하는 메모리 소자 및 그 구동 방법{Memory device having one transistor and one resistant material as data storing means and method of driving the same}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 의한 메모리 소자의 단면도이다.

도 2 내지 도 4는 도 1에 도시한 메모리 소자의 변형예를 보여주는 단면도이다.

도 5는 본 발명의 제2 실시예에 의한 메모리 소자의 단면도이다.

도 6은 도 1에 도시한 메모리 소자를 이용하여 비트 데이터 "0"을 기록하는 방법을 설명하기 위한 단면도이다.

도 7은 도 1에 도시한 메모리 소자를 이용하여 비트 데이터 "1"을 기록하는 방법을 설명하기 위한 단면도이다.

도 8은 도 1에 도시한 메모리 소자의 차지 리텐션(charge retention)을 보여주는 단면도이다.

도 9 및 도 10은 도 1에 도시한 메모리 소자에 기록된 비트 데이터를 읽는 방법을 설명하기 위한 단면도들이다.

도 11 및 도 12는 도 1에 도시한 메모리 소자에 스위칭을 통해 저항체에 비트 데이터 "1"을 기록하는 과정을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호설명

10:기판	11:필드 산화막
11a:트랜치형 소자분리막	12:드레인
14:소오스	16:게이트 전극
18:게이트 절연막	20:충간 절연막
22, 34:제1 및 제2 콘택홀	24:도전성 플러그
26, 38:제1 및 제2 데이터 저장 매체	
28, 40:제1 및 제2 도전성 플레이트	
30, 32, 36:제1 및 제2 물질막	
36: 절연막	42:센스 증폭기(sense amplifier)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 메모리 소자 및 그 구동 방법에 관한 것으로서, 자세하게는 한 개의 트랜지스터와 데이터 저장 수단으로 한 개의 저항체를 구비하는 메모리 소자 및 그 구동 방법에 관한 것이다.

<20> 일반적으로 메모리 소자, 특히 DRAM에서 데이터가 기록되는 단위 메모리 셀은 한 개의 트랜지스터와 한 개의 커패시터로 구성된다. 커패시터는 데이터가 기록되는 장소이다. 데이터를 기록하고 읽는 과정에서 데이터의 손실이나 오류를 방지하기 위해 커패시터는 적정 수준의 정전용량을 갖고 있어야 한다.

- <21> 메모리 소자가 보다 집적화되면서, 메모리 셀에서 커패시터가 차지하는 영역도 좁아졌다. 그럼에도 불구하고, 커패시터에 요구되는 정전용량은 거의 줄어들지 않았다.
- <22> 제한된 영역에서 커패시터의 정전용량을 증가시키기 위해서는 커패시터의 전극 면적은 가능한 넓게, 전극간의 간격은 가능한 좁게, 전극사이에 삽입되는 유전체는 유전율이 가능한 큰 것을 사용해야 한다.
- <23> 제한된 영역에서 커패시터의 전극 면적을 넓게 하기 위해서는 전극을 3차원 형태, 예를 들면 실린더 형태로 가공해야 하는데, 기존의 2차원 형태에 비해 구조가 복잡해서 가공에 어려움이 있다. 그리고 유전체의 두께를 얇게 하는 경우, 전극간의 간격은 좁게 할 수 있지만, 누설전류가 증가하게 된다. 또한, 유전율이 큰 유전체를 사용하는 경우, 전극 형태 변형이나 유전체의 두께를 박막화하는 경우에 비해, 커패시터의 정전용량을 크게 증가시킬 수 있지만, 전극으로 사용될 수 있는 재질이 내식각성이 높은 귀금속류로 제한되기 때문에, 식각이 어렵고 제품 단가도 높아지는 문제가 있다.
- <24> 이러한 문제들로 인해, 커패시터를 데이터 저장요소로 사용하는 메모리 소자의 경우, 고집적화와 더불어 공정이 복잡해질 수 있기 때문에, 재현성이나 신뢰성이 낮아져서 궁극에는 수율이 급격히 저하되는 문제에 직면할 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <25> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 메모리 셀 구조가 단순하여 집적도를 높일 수 있고, 공정을 단순화 할 수 있으며, 리프레쉬 주기(refresh period)를 길게 하여 전력 소모를 줄일 수 있는 메모리 소자를 제공함에 있다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 메모리 소자의 구동 방법을 제 공함에 있다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판에 형성된 NPN형 트랜 지스터와 상기 트랜지스터의 소오스 영역과 도전성 플러그를 통해 연결되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체와 상기 저항체와 접촉된 도전성 플레이트를 구비하는 것을 특징으로 하는 메모리 소자를 제공한다.

<28> 상기 도전성 플러그와 상기 저항체사이에 전자에 의한 터널링이 가능한 제1 물질막 이 더 구비되어 있고, 상기 저항체와 상기 도전성 플레이트사이에는 전자에 의한 터널링 이 가능한 제2 물질막이 선택적으로 구비되어 있다.

<29> 상기 저항체는 외부에서 인가되는 전압이나 전류의 양 또는 방향에 따라 데이터 저 장에 필요한 주어진 시간 동안 전하를 트랩(trap)할 수 있는 비정질 유전막이다.

<30> 상기 저항체가 실리콘 나이트라이드막인 경우, 상기 도전성 플러그는 상기 소오스 영역의 물질층과 동일한 물질층이고, 상기 도전성 플레이트는 알루미늄 플레이트이다. 그리고 상기 저항체가 알루미늄 산화막인 경우, 상기 도전성 플레이트는 알루미늄 플레 이트이고, 상기 도전성 플러그는 금(Au)이나 백금(Pt) 등과 같은 귀금속 플러그이다.

<31> 상기 도전성 플러그, 상기 저항체 및 상기 도전성 플레이트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접 터널링할 수 있는 두께이 다. 그리고 상기 도전성 플러그, 상기 제1 물질막, 상기 저항체 및 상기 도전성 플레이 트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접

터널링할 수 있는 두께이다. 또한, 상기 도전성 플러그, 상기 제1 물질막, 상기 저항체, 상기 제2 물질막 및 상기 도전성 플레이트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접 터널링할 수 있는 두께이다.

<32> 본 발명은 또한 상기 기술적 과제를 달성하기 위하여, 반도체 기판; 상기 반도체 기판에 형성된 NPN형 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막; 상기 콘택홀을 통해 노출된 상기 소오스 영역 전면에 형성된 절연막; 상기 절연막의 전면과 접촉되도록 상기 층간 절연막 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체; 및 상기 저항체의 전면을 덮는 도전성 플레이트를 구비하는 것을 특징으로 하는 메모리 소자를 제공한다.

<33> 상기 저항체와 상기 도전성 플레이트사이에 전자(electron)에 의한 터널링이 가능한 물질막이 더 구비되어 있다. 이때, 물질막은 n형 폴리 실리콘막, p형 폴리 실리콘막, 실리콘 산화막 또는 알루미늄 산화막이다.

<34> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 비트 데이터 "0" 또는 "1"이 기록되는 저항체를 초기화하는 제1 단계; 및 상기 저항체를 차징(charging)하여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록하는 제2 단계를 포함하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법을 제공한다.

<35> 상기 제1 단계는 상기 저항체를 포밍(forming)하여 상기 저항체의 전도도를 높이는 단계이다.

- <36> 상기 트랜지스터를 온(ON) 상태로 유지하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)을 인가하며, 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가하여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록한다.
- <37> 상기 비트 데이터 "0" 또는 "1"을 기록한 후, 상기 트랜지스터를 오프(OFF)시켜 상기 비트 데이터의 잔류시간(retaining time)을 길게 한다.
- <38> 본 발명은 또한 상기 다른 기술적 과제를 달성하기 위하여, 비트 데이터 "0" 또는 "1"이 기록되는 저항체를 초기화하는 제1 단계; 및 상기 저항체의 저항을 높여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록하는 제2 단계를 포함하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법을 제공한다.
- <39> 상기 저항체를 방전(discharge)시켜 상기 저항체의 저항을 높인다. 이를 위해, 상기 도전성 플레이트에 플레이트 전압($V_b/2$)을 인가한 상태에서 상기 트랜지스터를 온(ON) 상태로 한다.
- <40> 또한, 상기 저항체의 저항은 상기 트랜지스터를 온(ON) 상태로 하고 상기 도전성 플레이트에 스위칭 전압(V_s)을 인가하여 높이고, 상기 저항체가 상기 실리콘 나이트라이드막인 경우, 상기 트랜지스터를 온(ON) 상태로 하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)을 인가한다. 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가한다. 상기 저항체가 상기 알루미늄 산화막인 경우에는 상기 트랜지스터를 온(ON) 상태로 하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)과 크기가 다른 전압을 인가하며, 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가하여 상기 저항체의 저항을 높인다.

- <41> 본 발명은 또한 상기 다른 기술적 과제를 달성하기 위하여, 비트 데이터 "0" 또는 "1"이 기록되어 있는 저항체를 방전시키고, 이때 상기 저항체로부터 흘러나오는 전하량을 측정하여 상기 저항체에 기록된 비트 데이터를 읽는 것을 특징으로 하는 메모리 소자에 기록된 비트 데이터 읽기 방법을 제공한다. 이 과정에서 상기 트랜지스터의 드레인 영역에 상기 전하량을 측정하기 위한 센스 증폭기를 연결한 다음, 상기 트랜지스터를 온(ON) 시키고 상기 도전성 플레이트에 플레이트 전압($V_b/2$)을 인가하여 상기 저항체로부터 흘러나오는 전류를 측정한다.
- <42> 본 발명은 또한 상기 다른 기술적 과제를 달성하기 위하여, 비트 데이터 "0" 또는 "1"이 기록되어 있는 저항체 자체에 흐르는 전류의 값을 측정하여 상기 저항체에 기록된 비트 데이터를 읽는 것을 특징으로 하는 메모리 소자에 기록된 비트 데이터 읽기 방법을 제공한다. 이 과정에서 상기 트랜지스터의 드레인 영역에 센스 증폭기를 연결한 다음, 상기 트랜지스터를 온(ON) 시키고 상기 도전성 플레이트에 읽기 전압(V_r)을 인가하여 상기 저항체 자체에 흐르는 전류의 값을 측정한다.
- <43> 이러한 본 발명을 이용하면, 메모리 셀의 구조를 단순하게 하여 집적도를 높일 수 있고, 공정을 단순화 할 수 있으며, 리프레쉬 주기(refresh period)를 길게 하여 전력 소모를 줄일 수 있다.
- <44> 이하, 본 발명의 실시예에 의한 메모리 소자 및 그 구동방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- <45> 먼저, 도 1 내지 도 5를 참조하여 본 발명의 실시예에 의한 메모리 소자부터 설명한다.

<46> 제 1 실시예

<47> 본 발명의 제1 실시예에 의한 메모리 소자는 반도체 기판에 형성된 트랜지스터와 "0"이나 "1"과 같은 비트 데이터를 저장하기 위한 수단으로써 종래의 커패시터 대신에 저항체를 구비한다.

<48> 구체적으로, 도 1을 참조하면, 반도체 기판(10)에 메모리 소자가 형성되는 영역(이하, 활성영역이라 한다)과 메모리 소자를 분리시키기 위한 필드 산화막(또는 소자 분리막)이 형성되는 영역(이하, 필드 영역이라 한다)이 정의되어 있다. 반도체 기판(10)은 P형 도전성 불순물이 도핑된 반도체 기판인 것이 바람직하다. 반도체 기판(10)은 메모리 소자가 형성되는 영역에 P형 도전성 불순물이 도핑된 P-웰(well)을 갖는 N형 반도체 기판일 수도 있다. 반도체 기판(10)의 필드 영역 상에는 필드 산화막(11)이 형성되어 있다. 필드 산화막(11)은 로코스형 산화막이다. 필드 산화막(11)은 점선으로 도시한 바와 같은 트랜치형 산화막(11a)으로 대체될 수 있다. 반도체 기판(10)의 상기 활성영역의 소정 영역 상에 게이트 전극(16)이 형성되어 있다. 게이트 전극(16)과 반도체 기판(10) 사이에는 게이트 절연막(18)이 존재한다. 게이트 전극(16)과 필드 산화막(11) 사이에 N형 도전성 불순물이 얇은 깊이로 도핑된 제1 및 제2 불순물 영역(12, 14)이 존재한다. 게이트 전극(16) 좌측에 존재하는 제1 불순물 영역(12)은 트랜지스터의 드레인 영역이고, 우측에 존재하는 제2 불순물 영역(14)은 트랜지스터의 소오스 영역이다. 제1 및 제2 불순물 영역들(12, 14)과 게이트 전극(16)은 메모리 소자에 사용되는 NPN형 트랜지스터를 구성한다. 반도체 기판(10) 상으로 상기 트랜지스터를 덮는 층간 절연막(20)이 형성되어 있다. 층간 절연막(20)에 제2 불순물 영역(14)이 노출되는 제1 콘택홀(22)이 형성되어 있다. 제1 콘택홀(22)의 상부 일부의 폭은 하부보다 넓게 형성되어 있다. 이러한 제1 콘

택홀(22)의 하부 및 하부에 비해 폭이 상대적으로 넓은 상부의 일부는 도전성 플러그(24)로 채워져 있다. 제1 콘택홀(22)의 상부의 나머지, 곧 소정 두께의 최상층은 "0" 또는 "1"과 같은 비트 데이터가 저장되는 제1 데이터 저장 매체(26)로 채워져 있다. 제1 데이터 저장 매체(26)는 저항체이다. 상기 저항체는 외부에서 인가되는 전압이나 전류의 양 또는 방향에 따라 데이터 저장에 필요한 주어진 시간 동안 전하를 트랩(trap)할 수 있는 물질막으로써, 예를 들면 비정질 유전막이다. 상기 비정질 유전막은 실리콘 나이트라이드막(Si_3N_4)인 것이 바람직하다. 상기 비정질 유전막은 알루미늄 산화막(Al_2O_3)일 수 있다.

<49> 한편, 도전성 플러그(24)의 재질은 제1 데이터 저장 매체(26)로 사용되는 물질에 따라 다르게 하는 것이 바람직하다. 예를 들면, 제1 데이터 저장 매체(26)가 상기한 바와 같이 실리콘 나이트라이드막인 경우, 도전성 플러그(24)의 재질은 제2 도전성 불순물 영역(14), 곧 트랜지스터의 소오스 영역과 동일한 것이 바람직하다. 따라서, 이 경우에 도전성 플러그(24)는 N형 도전성 불순물이 도핑된 폴리 실리콘층(n-doped poly silicon) 플러그인 것이 바람직하다. 그리고 제1 데이터 저장 매체(26)가 알루미늄 산화막인 경우, 도전성 플러그(24)의 재질은 귀금속, 예컨대 금(Au)인 것이 바람직하다.

<50> 계속해서, 층간 절연막(20) 상으로 제1 데이터 저장 매체(26)의 전면과 접촉되는 제1 도전성 플레이트(conductive plate)(28)가 형성되어 있다. 제1 도전성 플레이트(28)는 라인 또는 패드 형태이다. 제1 도전성 플레이트(28)의 재질은 알루미늄인 것이 바람직하다.

<51> 도전성 플러그(24), 제1 데이터 저장 매체(26) 및 제1 도전성 플레이트(28)의 전체 두께는 15nm 정도인 것이 바람직하다.

- <52> 제1 데이터 저장 매체(26)와 도전성 플러그(24) 또는/및 제1 도전성 플레이트(28) 사이에 제1 데이터 저장 매체(26)의 데이터 저장 기능을 높이기 위한 부재가 더 구비될 수 있다. 도 2 내지 도 4는 이에 대한 예를 보여준다.
- <53> 도 2를 참조하면, 도전성 플러그(24)와 제1 데이터 저장 매체(26)사이의 상부 부재로써 제1 물질막(30)이 구비되어 있다.
- <54> 도 3을 참조하면, 도전성 플러그(24)와 제1 데이터 저장 매체(26)사이의 상부 부재로써, 제1 물질막(30)이 구비되어 있고, 제1 데이터 저장 매체(26)와 제1 도전성 플레이트(28)사이의 상부 부재로써 제2 물질막(32)이 구비되어 있다.
- <55> 도 4는 도전성 제1 데이터 저장 매체(26)와 제1 도전성 플레이트(28)사이에만 상부 부재로써 제2 물질막(32)이 구비된 경우를 보여준다.
- <56> 제1 및 제2 물질막(30, 32)은 n형 폴리 실리콘막, p형 폴리 실리콘막 또는 절연막이다. 이때, 상기 절연막은 실리콘 산화막 또는 알루미늄 산화막이다.
- <57> 상기한 제1 실시예에 의한 메모리 소자에서 제2 불순물 영역(14)과 제1 도전성 플레이트(28)사이의 두께는 제1 데이터 저장 매체(26)에 트랩되는 전하, 곧 전자(electron)가 직접 터널링 (direct tunnelling)될 수 있는 두께인 것이 바람직하다.
- <58> 제2 실시예
- <59> 본 발명의 제2 실시예는 트랜지스터와 데이터 저장 매체를 이어주는 도전성 플러그가 배제된 메모리 소자에 대한 것이다.
- <60> 구체적으로, 도 5를 참조하면 제1 실시예에 의한 메모리 소자에서와 같이 반도체 기판(10)에 트랜지스터가 형성되어 있고, 상기 트랜지스터를 덮는 층간 절연막(20)이 형

성되어 있다. 층간 절연막(20)에 제2 불순물 영역(14)이 노출되는 제2 콘택홀(34)이 형성되어 있다. 제2 불순물 영역(14) 중에서 제2 콘택홀(34)을 통해서 노출된 영역에 절연막(36)이 형성되어 있다. 절연막(36)은 제2 불순물 영역(14)의 제2 콘택홀(34)을 통해서 노출된 영역을 자연 산화시켜 형성한 실리콘 산화막이 바람직하나, 상기 전하의 직접 터널링에 부합될 수 있는 것이면 상기 실리콘 산화막과 다른 절연막이라도 무방하다. 층간 절연막(20) 상으로 제1 실시예의 제1 데이터 저장 매체(도 1의 26 참조)와 동일한 역할을 하는 제2 데이터 저장 매체(38)가 형성되어 있다. 제2 데이터 저장 매체(38)는 제2 콘택홀(34)의 측벽을 따라 제2 콘택홀(34) 안쪽으로 형성되어 제2 콘택홀(34)의 바닥에 해당하는 절연막(36)의 전면과 접촉되어 있다. 제2 데이터 저장 매체(38)는 제1 실시예의 제1 데이터 저장 매체(26) 마찬가지로 전하 트랩에 의해 "0" 또는 "1"과 같은 비트 데이터가 저장될 수 있는 저항체인 것이 바람직하다. 상기 저항체는 제1 실시예에서 설명한 것과 동일한 것이므로 그에 대한 설명은 생략한다. 데이터 저장 매체(38) 상으로 제2 도전성 플레이트(40)가 형성되어 있다. 제2 도전성 플레이트(40)의 재질은 제1 실시예의 제1 데이터 저장 매체(26)와 마찬가지로 알루미늄(Al)이 될 수 있다.

<61> 다음에는 상술한 바와 같은 본 발명의 실시예에 의한 메모리 소자의 구동 방법을 설명한다. 하기 구동 방법은 본 발명의 제1 실시예에 의한 메모리 소자를 대상으로 한 것이다. 하지만, 하기 구동 방법은 제2 실시예에 의한 메모리 소자에도 그대로 적용할 수 있는 것이다.

<62> 비트 데이터 기록(write)

<63> 도 1을 참조한다. 제1 데이터 저장 매체(26)에 비트 데이터 "0" 또는 "1"을 기록하기 위해 앞서, 상기 비트 데이터 저장에 적합한 상태가 되도록 제1 데이터 저장 매체(26)를

초기화한다. 이를 포밍(forming)이라 하는데, 상기 포밍 과정에서 제1 데이터 저장 매체(26)에 전하들, 예컨대 전자들이 트랩(trap)된다. 상기 포밍 과정에서 트랜지스터는 온 상태로 유지되고, 비트라인(미도시)을 통해 제1 불순물 영역(12)에 포밍 전압이 인가된다. 이와 같이, 제1 데이터 저장 매체(26)의 포밍이 완료되면, 저항체인 제1 데이터 저장 매체(26)에 전자들이 트랩되기 때문에, 제1 데이터 저장 매체(26)의 전도도가 높아진다. 상기 포밍에 의해 제1 데이터 저장 매체(26)에 트랩된 전자들은 시간이 지남에 따라 제1 데이터 저장 매체(26) 밖으로 자연스럽게 빠져나간다.

<64> 따라서, 도 6에 도시한 바와 같이, 게이트 전극(16)에 게이트 전압(V_g)을 인가하여 트랜지스터를 온 상태로 유지한다. 이 상태에서 비트라인을 통해서 제1 불순물 영역(12)에 비트라인 전압(V_b)을 인가한다. 그리고 제1 도전성 플레이트(28)에 플레이트 전압($V_b/2$)을 인가하여 제1 데이터 저장 매체(28)에 전자를 다시 트랩시킨다. 이와 같이, 상기 포밍후에 제1 데이터 저장 매체(26)를 차징(charging)함으로써, 제1 데이터 저장 매체(26)는 많은 전자들이 트랩된 상태가 되는데, 제1 데이터 저장 매체(26)의 이러한 상태를 비트 데이터 "0"이 기록된 것으로 한다. 비트 데이터 "0"이 기록되는 경우, 제1 데이터 저장 매체(26)에는 많은 전자들이 트랩되어 있기 때문에, 제1 데이터 저장 매체(26)의 전도도는 높아진다. 곧, 저항이 낮아진다.

<65> 한편, 상기 포밍 후에 제1 데이터 저장 매체(26)에 트랩된 전자들은 상기한 바와 같이 시간이 지남에 따라 제1 데이터 저장 매체(26) 밖으로 빠져나가게 된다. 따라서, 상기 포밍이 완료된 후, 충분한 시간이 지나면 상기 트랩된 전자들은 대부분이 자연 방전(discharge)되어, 제1 데이터 저장 매체(26)에 트랩된 전자들이 거의 존재하지 않는다. 따라서 제1 데이터 저장 매체(26)의 저항은 포밍전 상태와 같이 높아지게 되는

데, 제1 데이터 저장 매체(26)의 이러한 상태를 비트 데이터 "1"이 기록된 것으로 할 수 있다. 그러나 상기 포밍이 완료된 후, 제1 데이터 저장 매체(26)로부터 상기 트랩된 전자들이 자연 방출되는데 걸리는 시간은 통상의 비트 데이터 기록시간에 비해 상대적으로 길어 질 수 있기 때문에, 메모리 소자의 빠른 구동을 위해 제1 데이터 저장 매체(26)를 방전(discharge)시키는 시간, 곧 상기 트랩된 전자들을 제1 데이터 저장 매체(26)로부터 방출시키는 시간을 가능한 짧게 하는 것이 바람직하다.

<66> 이를 위해, 도 7에 도시한 바와 같이, 제1 도전성 플레이트(28)에 플레이트 전압($V_b/2$)을 인가한 상태에서 게이트 전극(16)에 게이트 전압(V_g)을 인가하여 트랜지스터를 온 상태 유지한다. 그리고 비트라인을 통해 제1 불순물 영역(12)에 인가되는 전압은 영(0V)이 되게 한다. 이러한 전압인가에 의해, 제1 데이터 저장 매체(26)에 트랩된 전자들은 신속히 방출되어, 제1 데이터 저장 매체(26)는 포밍 전 상태와 같이 전도도가 낮은, 곧 저항이 높은 상태가 된다. 이와 같이 제1 데이터 저장 매체(26)의 저항이 높은(전도도가 낮은) 상태를 비트 데이터 "1"이 기록된 것으로 한다.

<67> 이와 같이 트랩된 전자를 방출시켜 비트 데이터 "1"을 기록하는 대신, 스위칭 방법을 통해서 비트 데이터 "1"을 기록할 수 있다.

<68> 구체적으로, 도 11에 도시한 바와 같이, 게이트 전극(16)에 게이트 전압(V_g)을 인가하여 트랜지스터가 온 상태가 되게 한다. 이 상태에서 제1 도전성 플레이트(28)에 스위칭 전압(switching voltage, V_s)을 인가한다. 이렇게 하면, 제1 데이터 저장 매체(26)에 트랩된 전자들이 제1 데이터 저장 매체(26) 밖으로 빠져나가면서 제1 데이터 저장 매

체(26)의 저항은 높아진다. 곧 제1 데이터 저장 매체(26)는 비트 데이터 "1"이 기록된 상태가 된다.

<69> 이와 같은 기록 방법을 이용하면, 단순히 트랩된 전자들을 방출시켜 기록하는 방법보다 빠르게 비트 데이터 "1"을 기록할 수 있다.

<70> 비트 데이터 "1"을 기록하는 다른 방법은 도 12에 도시한 바와 같이 비트라인을 통해 제1 불순물 영역(12)에 상기 비트라인 전압(V_b)과 다른 전압($V_{b'}$)을 인가하여 제1 데이터 저장 매체(26)의 저항값을 바꾸는 방법이다. 이 방법에서, 상기 다른 전압($V_{b'}$)은 제1 데이터 저장 매체(26)의 재질에 따라 달라진다. 예를 들면, 제1 데이터 저장 매체(26)가 실리콘 나이트라이드막(Si_3N_4)인 경우, 상기 다른 전압($V_{b'}$)은 상기 비트라인 전압(V_b)과 반대 전압인 것이 바람직하고, 알루미늄 산화막(Al_2O_3)인 경우, 상기 비트라인 전압(V_b)과 크기가 다른 전압인 것이 바람직하다. 상기의 경우에, 제1 도전성 플레이트(28)에는 플레이트 전압($V_{b/2}$)을 인가한다.

<71> 한편, 상기 비트 데이터 "0"을 기록하는 과정에서, 상기 비트 데이터 "0"을 기록한 후, 도 8에 도시한 바와 같이, 게이트 전극(16)에 게이트 전압(V_g)이 인가되지 않으면, 제1 도전성 플레이트(28)에 인가된 플레이트 전압($V_{b/2}$)에 의해 오픈 상태의 회로가 형성된다. 이 결과, 제1 데이터 저장 매체(26)에 트랩된 전자들이 제1 데이터 저장 매체(26)에 잔류하는 시간(retaining time)이 훨씬 길어진다. 이것은 제1 데이터 저장 매체(26)에 비트 데이터 "0"을 기록한 후, 데이터 기록을 정상 상태로 계속 유지하기 위해 제1 데이터 저장 매체(26)를 다시 차징해야 할 때까지 걸리는 시간, 곧 리프레쉬 주기가 종래 보다 길어짐을 의미한다.

<72> 상기 설명에서 제1 데이터 저장 매체(26)에 전자가 트랩된 상태를 비트 데이터 "0"이 기록된 것으로 하고, 상기 트랩된 전자가 방출되어 제1 데이터 저장 매체(26)의 저항이 높아진 상태를 비트 데이터 "1"을 기록된 것으로 하였으나, 이러한 비트 데이터의 기록은 반대가 될 수 있다. 곧, 제1 데이터 저장 매체(26)에 전자를 트랩시킨 상태를 비트 데이터 "1"이 기록된 것으로 하고, 제1 데이터 저장 매체(26)에 트랩된 전자를 방출시켜 제1 데이터 저장 매체(26)의 저항이 높아진 상태를 비트 데이터 "0"이 기록된 것으로 할 수 있다.

<73> 비트 데이터 읽기(read)

<74> 도 9 및 도 10을 참조하면, 제1 데이터 저장 매체(26)에 기록된 비트 데이터는 다음 두가지 방법으로 읽을 수 있다.

<75> 첫 번째 방법은 제1 데이터 저장 매체(26)에 트랩된 전자를 방출시키면서 이때 흐르는 전류를 비트라인을 통해 제1 불순물 영역(12)에 연결된 센스 증폭기(sense amplifier)(42)를 사용하여 읽는 방법이고,

<76> 두 번째 방법은 저항체인 제1 데이터 저장 매체(26) 자체에 흐르는 전류 값을 센스 증폭기(42)를 사용하여 측정하는 것이다.

<77> 어느 방법을 사용하든 비트 데이터 "0"을 읽을 때가 비트 데이터 "1"을 읽을 때보다 전류 값이 크기 때문에, 양쪽을 비교하여 제1 데이터 저장 매체(26)로부터 읽은 비트 데이터가 "0"인지 "1"인지 알 수 있다.

<78> 도 9는 상기 첫 번째 방법으로 제1 데이터 저장 매체(26)에 기록된 비트 데이터를 읽는 경우를 보여주는 도면으로써, 비트라인을 통해서 제1 불순물 영역(12)에 센스 증폭

기(42)를 연결한 다음, 게이트 전극(16)에 게이트 전압(V_g)을 인가하여 트랜지스터가 온(ON) 상태가 되게 한다. 이와 동시에 제1 도전성 플레이트(28)에 플레이트 전압($V_b/2$)을 인가한다. 이러한 전압 인가로 인해, 제1 데이터 저장 매체(26)에 전자들이 트랩되어 있는 경우, 곧 비트 데이터 "0"이 기록되어 있는 경우, 상기 트랩된 전자들은 제1 데이터 저장 매체(26)에서 빠져나오면서 센스 증폭기(42)로 전류가 흐르게 되고, 이 전류는 센스 증폭기(42)에 의해 측정된다. 제1 데이터 저장 매체(26)에 비트 데이터 "1"이 기록된 경우라면, 센스 증폭기(42)에 의해 측정되는 전류 값은 다를 것이기 때문에, 상기 두 경우에 측정된 전류 값을 비교함으로써 제1 데이터 저장 매체(26)에 어떠한 비트 데이터가 기록되어 있는지를 알게 된다.

<79> 도 10은 상기 두 번째 방법으로 제1 데이터 저장 매체(26)에 기록된 비트 데이터를 읽는 경우를 보여주는 도면으로써, 비트라인을 통해서 제1 불순물 영역(12)에 센스 증폭기(42)를 연결한 다음, 게이트 전극(16)에 게이트 전압(V_g)을 인가하여 트랜지스터가 온(ON) 상태가 되게 한다. 이와 동시에 제1 도전성 플레이트(28)에 읽기 전압(V_r)을 인가한다. 이때, 상기 읽기 전압(V_r)은 제1 데이터 저장 매체(26)로부터 전자가 많이 빠져나오지 않을 정도의 전압으로써, 읽기 전압보다 작은 것이 바람직하다. 이러한 전압 인가로 인해, 제1 데이터 저장 매체(26)에 비트 데이터 "0"이 기록된 경우, 제1 데이터 저장 매체(26)의 전도도는 높은 상태이기 때문에, 제1 도전성 플레이트(28)로부터 제1 데이터 저장 매체(26), 도전성 플러그(24), 제2 불순물 영역(14), 게이트 전극(16) 아래의 채널 영역(미도시) 및 제1 불순물 영역(12)으로 흐르는 전류(i)가 존재하게 되고, 이러한 전류(i)는 센스 증폭기(42)에 의해 그 값이 측정된다.

- <80> 한편, 제1 데이터 저장 매체(26)에 비트 데이터 "1"이 기록된 경우, 제1 데이터 저장 매체(26)의 전도도는 매우 낮은 상태이고, 따라서 제1 데이터 저항 매체(26)의 저항은 매우 높기 때문에, 센스 증폭기(42)에 의해 측정되는 전류(i)의 값은 비트 데이터 "0"을 측정하는 경우에 비해 매우 작게 된다. 그러므로 상기 두 경우에 측정된 전류 값을 비교함으로써, 제1 데이터 저장 매체(26)에 기록된 비트 데이터가 "0"인지 혹은 "1"인지를 알 수 있다.
- <81> 읽기 전압(V_r)이나 센서 증폭기(42)에 의해 측정되는 전류 값은 기판(10)의 제2 불순물 영역(14) 상에 형성된 적층물의 구성에 따라 차이가 있을 수 있다. 도 13 및 도 14는 이에 대한 예를 보여주는 그래프로써, 도 13은 기판(10) 상에 도전성 플러그(24), 제1 데이터 저장 매체(26, Si_3N_4) 및 제1 도전성 플레이트(28, Al)가 순차적으로 적층된 경우에 비트 데이터 "0"을 읽을 때와 비트 데이터 "1"을 읽을 때의 시간에 따른 전류 밀도 변화를 보여주고, 도 14는 도전성 플러그(24)와 제1 데이터 저장 매체(26) 사이에 실리콘 산화막이 더 구비된 경우에 전류 밀도 변화를 보여준다. 도 13에 도시된 결과는 소정의 읽기 전압(V_r), 예컨대 -8V 정도를 인가한 경우이고, 도 14에 도시된 결과는 소정의 읽기 전압(V_r), 예컨대 -5V 정도를 인가한 경우이다.
- <82> 상술한 바와 같은 비트 데이터 읽기 방법은 비트 데이터가 상술한 서로 다른 방법으로 기록된 경우에도 동일하게 적용될 수 있다.
- <83> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 데이터 저장 매체로써 실리콘 나이트라이드막이나 알루미늄 산화막 대신에 다른 저항체를 사용할 수 있을 것이고, 이

때 도전성 플러그 및 도전성 플레이트의 재질도 그에 부합되는 재질을 사용할 수 있을 것이다. 또한, 도전성 플러그와 데이터 저장 매체사이에 구비된 절연막이나 데이터 저장 매체와 도전성 플레이트사이에 구비된 절연막을 복층의 절연막으로 대체할 수도 있을 것이고, 데이터 저장 매체 자체도 전자 트랩이 가능한 복층의 절연막 대체할 수 있을 것이다. 또한, 제2 실시예에 의한 메모리 소자에서 제2 데이터 저장 매체와 제2 도전성 플레이트사이에 제1 물질막 또는 제2 물질막과 동등한 역할을 하는 제3 물질막을 더 구비할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<84> 상술한 바와 같이, 본 발명에 의한 메모리 소자를 이용하면, 박막의 저항체를 데이터 저장 매체로 사용하기 때문에, 종래의 데이터 저장 매체인 커패시터를 사용할 때보다 메모리 셀의 구조를 단순하게 하면서 부피도 줄일 수 있다. 따라서 메모리 소자의 집적도를 높일 수 있다. 그리고 종래의 커패시터에 비해 본 발명에서 데이터 저장 매체로 사용되는 저항체의 구조는 훨씬 단순하기 때문에, 메모리 소자의 제조 공정을 단순화 할 수 있다. 또한, 본 발명의 상기 저항체에 트랩된 전자들의 잔류시간(retaining time)을 길게 할 수 있기 때문에, 종래에 비해 리프레쉬 주기(refresh period)를 길게 할 수 있고, 따라서 메모리 소자의 전력 소모를 줄일 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 반도체 기판에 형성된 NPN형 트랜지스터;

상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막;

상기 콘택홀을 채우는 도전성 플러그;

상기 도전성 플러그 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체;

및

상기 저항체와 접촉되도록 상기 층간 절연막 상에 형성된 도전성 플레이트를 구비하는 것을 특징으로 하는 메모리 소자.

【청구항 2】

제 1 항에 있어서, 상기 도전성 플러그와 상기 저항체사이에 전자에 의한 터널링이 가능한 제1 물질막이 더 구비된 것을 특징으로 하는 메모리 소자.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 저항체와 상기 도전성 플레이트사이에 전자에 의한 터널링이 가능한 제2 물질막이 더 구비된 것을 특징으로 하는 메모리 소자.

【청구항 4】

제 2 항에 있어서, 상기 제1 물질막은 n형 폴리 실리콘막, p형 폴리 실리콘막, 실리콘 산화막 또는 알루미늄 산화막인 것을 특징으로 하는 메모리 소자.

【청구항 5】

제 3 항에 있어서, 상기 제2 물질막은 n형 폴리 실리콘막, p형 폴리 실리콘막, 실리콘 산화막 또는 알루미늄 산화막인 것을 특징으로 하는 메모리 소자.

【청구항 6】

제 1 항 또는 제 2 항에 있어서, 상기 저항체는 외부에서 인가되는 전압이나 전류의 양 또는 방향에 따라 데이터 저장에 필요한 주어진 시간 동안 전하를 트랩(trap)할 수 있는 비정질 유전막인 것을 특징으로 하는 메모리 소자.

【청구항 7】

제 6 항에 있어서, 상기 비정질 유전막은 실리콘 나이트라이드막(Si_3N_4) 또는 알루미늄 산화막(Al_2O_3)인 것을 특징으로 하는 메모리 소자.

【청구항 8】

제 7 항에 있어서, 상기 저항체가 상기 실리콘 나이트라이드막인 경우, 상기 도전성 플러그는 상기 소오스 영역의 물질층과 동일한 물질층이고, 상기 도전성 플레이트는 알루미늄 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 9】

제 7 항에 있어서, 상기 저항체가 상기 알루미늄 산화막인 경우, 상기 도전성 플러그는 금(Au) 또는 백금(Pt) 플러그이고, 상기 도전성 플레이트는 알루미늄(Al) 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 10】

제 3 항에 있어서, 상기 저항체는 외부에서 인가되는 전압이나 전류의 양 또는 방향에 따라 데이터 저장에 필요한 주어진 시간 동안 전하를 트랩(trap)할 수 있는 비정질 유전막인 것을 특징으로 하는 메모리 소자.

【청구항 11】

제 10 항에 있어서, 상기 비정질 유전막은 실리콘 나이트라이드막(Si_3N_4) 또는 알루미늄 산화막(Al_2O_3)인 것을 특징으로 하는 메모리 소자.

【청구항 12】

제 11 항에 있어서, 상기 저항체가 상기 실리콘 나이트라이드막인 경우, 상기 도전성 플러그는 상기 소오스 영역의 물질층과 동일한 물질층이고, 상기 도전성 플레이트는 알루미늄 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 13】

제 11 항에 있어서, 상기 저항체가 상기 알루미늄 산화막인 경우, 상기 도전성 플러그는 금(Au) 또는 백금(Pt) 플러그이고, 상기 도전성 플레이트는 알루미늄(Al) 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 14】

제 1 항에 있어서, 상기 도전성 플러그, 상기 저항체 및 상기 도전성 플레이트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접 터널링할 수 있는 두께인 것을 특징으로 하는 메모리 소자.

【청구항 15】

제 2 항에 있어서, 상기 도전성 플러그, 상기 제1 물질막, 상기 저항체 및 상기 도전성 플레이트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접 터널링할 수 있는 두께인 것을 특징으로 하는 메모리 소자.

【청구항 16】

제 3 항에 있어서, 상기 도전성 플러그, 상기 제1 물질막, 상기 저항체, 상기 제2 물질막 및 상기 도전성 플레이트로 이루어진 물질층의 전체 두께는 상기 비트 데이터의 기록에 사용되는 전하가 직접 터널링할 수 있는 두께인 것을 특징으로 하는 메모리 소자.

【청구항 17】

제 1 항에 있어서, 상기 저항체는 복층의 비정질 유전막으로 구성된 것을 특징으로 하는 메모리 소자.

【청구항 18】

반도체 기판;

상기 반도체 기판에 형성된 NPN형 트랜지스터;

상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막;

상기 콘택홀을 통해 노출된 상기 소오스 영역 전면에 형성된 절연막;

상기 절연막의 전면과 접촉되도록 상기 층간 절연막 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체; 및

상기 저항체의 전면을 덮는 도전성 플레이트를 구비하는 것을 특징으로 하는 메모리 소자.

【청구항 19】

제 18 항에 있어서, 상기 저항체와 상기 도전성 플레이트사이에 전자(electron)에 의한 터널링이 가능한 물질막이 더 구비된 것을 특징으로 하는 메모리 소자.

【청구항 20】

제 18 항 또는 제 19 항에 있어서, 상기 저항체는 외부에서 인가되는 전압이나 전류의 양 또는 방향에 따라 데이터 저장에 필요한 주어진 시간 동안 전하를 트랩(trap)할 수 있는 비정질 유전막인 것을 특징으로 하는 메모리 소자.

【청구항 21】

제 20 항에 있어서, 상기 비정질 유전막은 실리콘 나이트라이드막(Si_3N_4) 또는 알루미늄 산화막(Al_2O_3)인 것을 특징으로 하는 메모리 소자.

【청구항 22】

제 21 항에 있어서, 상기 저항체가 상기 실리콘 나이트라이드막인 경우, 상기 도전성 플레이트는 알루미늄 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 23】

제 21 항에 있어서, 상기 저항체가 상기 알루미늄 산화막인 경우, 상기 도전성 플레이트는 알루미늄 플레이트인 것을 특징으로 하는 메모리 소자.

【청구항 24】

제 19 항에 있어서, 상기 물질막은 n형 폴리 실리콘막, p형 폴리 실리콘막, 실리콘 산화막 또는 알루미늄 산화막인 것을 특징으로 하는 메모리 소자.

【청구항 25】

반도체 기판; 상기 반도체 기판에 형성된 NPN형 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막; 상기 콘택홀을 채우는 도전성 플러그; 상기 도전성 플러그 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체; 및 상기 저항체와 접촉되도록 상기 층간 절연막 상에 형성된 도전성 플레이트를 구비하는 메모리 소자의 비트 데이터 기록 방법에 있어서,

상기 저항체를 초기화하는 제1 단계; 및

상기 저항체를 차징(charging)하여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록하는 제2 단계를 포함하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 26】

제 25 항에 있어서, 상기 제1 단계는 상기 저항체를 포밍(forming)하여 상기 저항체의 전도도를 높이는 단계인 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 27】

제 26 항에 있어서, 상기 트랜지스터의 드레인 영역에 포밍 전압(forming voltage)을 인가하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 28】

제 25 항에 있어서, 상기 트랜지스터를 온(ON) 상태로 유지하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)을 인가하며, 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가하여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 29】

제 28 항에 있어서, 상기 비트 데이터 "0" 또는 "1"을 기록한 후, 상기 트랜지스터를 오프(OFF)시켜 상기 비트 데이터의 잔류시간(retaining time)을 길게 하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 30】

반도체 기판; 상기 반도체 기판에 형성된 NPN형 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막; 상기 콘택홀을 채우는 도전성 플러그; 상기 도전성 플러그 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되는 저항체; 및 상기 저항체와 접촉되도록 상기 층간 절연막 상에 형성된 도전성 플레이트를 구비하는 메모리 소자의 비트 데이터 기록 방법에 있어서,

상기 저항체를 초기화하는 제1 단계; 및

상기 저항체의 저항을 높여 상기 저항체에 비트 데이터 "0" 또는 "1"을 기록하는 제2 단계를 포함하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 31】

제 30 항에 있어서, 상기 제1 단계는 상기 저항체를 포밍(forming)하여 상기 저항체의 전도도를 높이는 단계인 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 32】

제 31 항에 있어서, 상기 트랜지스터의 드레인 영역에 포밍 전압(forming voltage)을 인가하는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 33】

제 30 항에 있어서, 상기 저항체를 방전(discharge)시켜 상기 저항체의 저항을 높이는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록방법.

【청구항 34】

제 33 항에 있어서, 상기 도전성 플레이트에 플레이트 전압($V_b/2$)을 인가한 상태에서 상기 트랜지스터를 온(ON) 상태로 하여 상기 저항체의 저항을 높이는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 35】

제 30 항에 있어서, 상기 트랜지스터를 온(ON) 상태로 하고 상기 도전성 플레이트에 스위칭 전압(V_s)을 인가하여 상기 저항체의 저항을 높이는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 36】

제 30 항에 있어서, 상기 저항체는 비정질 유전막으로써, 실리콘 나이트라이드막 또는 알루미늄 산화막인 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 37】

제 36 항에서, 상기 저항체가 상기 실리콘 나이트라이드막인 경우, 상기 트랜지스터를 온(ON) 상태로 하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)과 반대되는 전압을 인가하며, 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가하여 상기 저항체의 저항을 높이는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 38】

제 36 항에 있어서, 상기 저항체가 상기 알루미늄 산화막인 경우, 상기 트랜지스터를 온(ON) 상태로 하고, 상기 트랜지스터의 드레인 영역에 비트라인 전압(V_b)과 크기가 다른 전압을 인가하며, 상기 도전성 플레이트에는 플레이트 전압($V_b/2$)을 인가하여 상기 저항체의 저항을 높이는 것을 특징으로 하는 메모리 소자의 비트 데이터 기록 방법.

【청구항 39】

반도체 기판; 상기 반도체 기판에 형성된 NPN형 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성되어 있되, 상기 트랜지스터의 소오스 영역이 노출되는 콘택홀이 형성된 층간 절연막; 상기 콘택홀을 채우는 도전성 플러그; 상기 도전성 플러그 상에 형성되어 비트 데이터 "0" 또는 "1"이 기록되어 있는 저항체; 및 상기 저항체와 접촉되도록 상기 층간 절연막 상에 형성된 도전성 플레이트를 구비하는 메모리 소자에 기록된 비트 데이터 읽기 방법에 있어서,

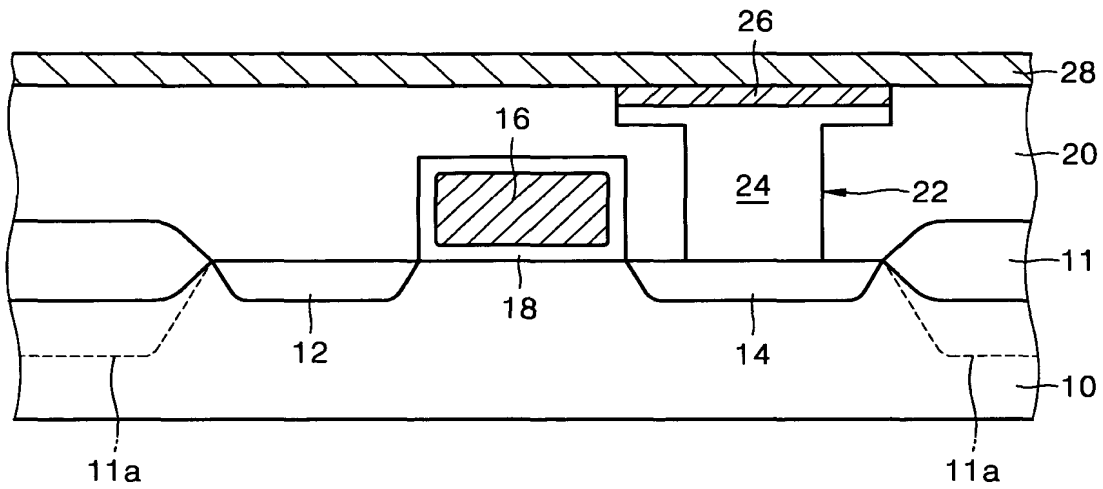
상기 저항체 자체에 흐르는 전류의 값을 측정하여 상기 저항체에 기록된 비트 데이터를 읽는 것을 특징으로 하는 메모리 소자에 기록된 비트 데이터 읽기 방법.

【청구항 40】

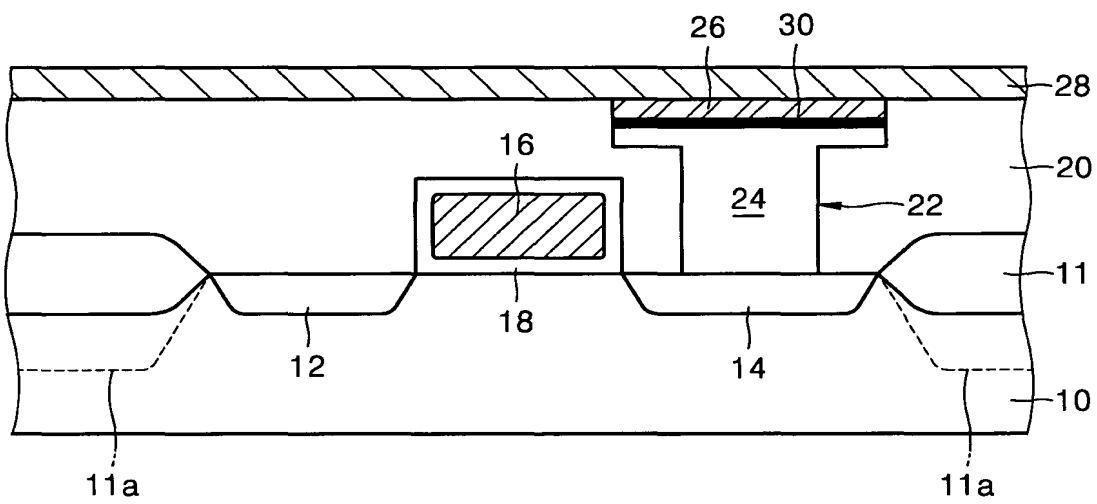
제 39 항에 있어서, 상기 트랜지스터의 드레인 영역에 센스 증폭기를 연결한 다음, 상기 트랜지스터를 온(ON) 시키고 상기 도전성 플레이트에 읽기 전압(V_r)을 인가하여 상기 저항체 자체에 흐르는 전류의 값을 측정하는 것을 특징으로 메모리 소자에 기록된 비트 데이터 읽기 방법.

【도면】

【도 1】



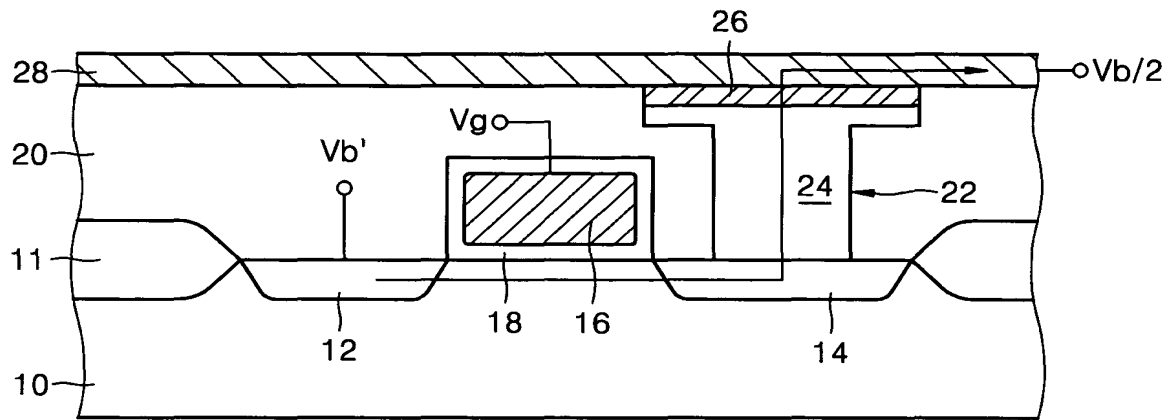
【도 2】



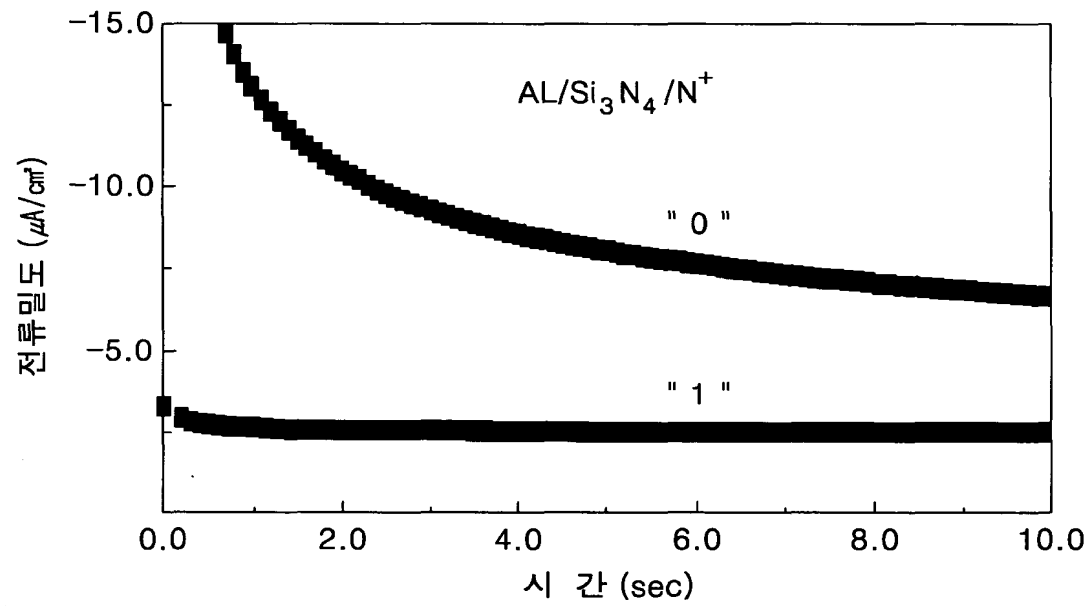
[illegible]

A cross-sectional view of a semiconductor device. The device features a substrate 10 with a channel region 12. A gate stack is formed over the channel region, consisting of a gate dielectric 14, a gate electrode 16, and a gate cap 18. The gate electrode 16 is connected to a gate voltage source V_{go} . The gate cap 18 is connected to a voltage source $O[V]$. The channel region 12 is defined by a source/drain region 14 and a gate region 16. The gate region 16 is connected to a voltage source V_{go} . The source/drain region 14 is connected to a voltage source V_s . The gate dielectric 14 is connected to a voltage source V_s . The gate electrode 16 is connected to a voltage source V_{go} . The gate cap 18 is connected to a voltage source $O[V]$. The channel region 12 is defined by a source/drain region 14 and a gate region 16. The gate region 16 is connected to a voltage source V_{go} . The source/drain region 14 is connected to a voltage source V_s . The gate dielectric 14 is connected to a voltage source V_s . The gate electrode 16 is connected to a voltage source V_{go} . The gate cap 18 is connected to a voltage source $O[V]$.

【도 12】



【도 13】



【도 14】

